

⑫ 公開特許公報(A)

昭61-48970

⑮ Int.Cl.⁴

H 01 L 27/08

識別記号

1 0 1

庁内整理番号

7925-5F

⑯ 公開 昭和61年(1986)3月10日

審査請求 未請求 発明の数 1 (全3頁)

⑰ 発明の名称 半導体集積回路装置

⑱ 特 願 昭59-170697

⑲ 出 願 昭59(1984)8月16日

⑳ 発 明 者 内 田 博 文 門真市大字門真1006番地 松下電子工業株式会社内
㉑ 発 明 者 真 鍋 健 次 門真市大字門真1006番地 松下電子工業株式会社内
㉒ 出 願 人 松下電子工業株式会社 門真市大字門真1006番地
㉓ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

ラテラルPNPトランジスタのベースとコレクタとをそれぞれ、逆極性NPNトランジスタのエミッタとベースとに対応させ、前記NPNトランジスタのベース内に前記PNPトランジスタのコレクタを設けてなる集積注入論理回路において、前記ラテラルPNPトランジスタのコレクタ^①部分の拡散層が、前記ラテラルPNPトランジスタのエミッタの拡散深さよりも深いことを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体集積回路装置、くわしくは集積注入論理回路(Integrated Injection Logic, 以下I²Lと略す)の改良に関するものである。

従来例の構成とその問題点

従来、I²LはラテラルPNPトランジスタと縦

方向の逆NPNトランジスタを組み合わせて一体とした論理回路で、第1図の断面図に示すようなデバイス構造をとることが多かった。

同図において、1はP型基板、2はN⁺型埋込層、3はN型エピタキシャル層、4はN⁺型拡散層、5はP型分離拡散層、6-1はI²L素子のインジェクタ、6-2はインジェクタPNPトランジスタのコレクタおよびI²L素子の縦型NPNトランジスタのベース、7-1、7-2はI²L素子のN⁺型コレクタ、8は二酸化シリコン、9はAl電極である。

このようなI²Lは通常のバイポーラICの製造プロセスで製造することができ、P型の拡散層6-1と6-2とをラテラルPNPトランジスタのエミッタとコレクタとしてそれぞれ動作させ、そのベースはN型エピタキシャル層3とし、他方、このN型エピタキシャル層3および埋込N⁺層2を縦型逆極性NPNトランジスタのエミッタとし、前記P形の拡散層6-2をベース、N⁺型拡散層7-1、7-2をコレクタとしている。

このような構成にすることにより、集積密度を向上させ、また、ゲート当りの消費電力も著しく低減させうることが知られている。

ところが、 I^2L の特長である低消費電力化を達する上で、従来構造で最も大きなデバイス構成上の問題はラテラルPNPトランジスタのエミッタから供給された電流がベース電流として消費され、コレクタに達するキャリアが減少するという点である。したがって、十分な駆動電流を確保するためには、ラテラルPNPトランジスタのエミッタからの電流を増さねばならず、電力消費を増大させる結果となる。

発明の目的

本発明は低消費電力で動作しうる半導体集積回路を提供せんとするものである。

発明の構成

本発明では、インジェクタとなるラテラルPNPトランジスタのコレクタ層をそのエミッタよりも深い構造とし、これにより、低消費電力化を可能にするものである。

ところで、このように縦型NPNトランジスタのベースの電位が高くなると、ベースとN型エピタキシャル層が順バイアスとなり、ベースからエピタキシャル層へホールが注入され、その一部はインジェクタ6-1に到達する。

したがって、インジェクタ6-1から注入されてラテラルPNPトランジスタのコレクタ6-3に到達するホール数と、逆に、縦型NPNトランジスタから注入されて、インジェクタ6-1に到達するホールの数の差に比例するインジェクタ電流が流れる。

したがって、低消費電力を達成するためには、インジェクタから注入されてラテラルPNPトランジスタのコレクタに到達するホールの数を増加させ縦型NPNトランジスタのベースから注入されてインジェクタに到達するホールの数との比を大きくすればよいことになる。

すなわち、ラテラルPNPトランジスタのコレクタ電流はコレクタ面積が大きい程大きくなるから、順方向ラテラルPNPトランジスタのコレク

実施例の説明

以下、本発明の実施例を用いて説明する。

第2図に本発明の実施例の断面構造を示す。すなわち、本実施例においては、ラテラルPNPトランジスタのコレクタ部のインジェクタに対向する領域6-3の拡散深さが、インジェクタ6-1の拡散深さよりも深い構造となっている。

このような構造とすることによって、低消費電力化を図ることができる。

I^2L 素子はインジェクタをラテラルPNPトランジスタのエミッタとして用いているから、インジェクタに正の電圧を加えるとインジェクタからホールが注入され、その一部はPNPトランジスタのベース中で再結合しベース電流となるが、残りはラテラルPNPトランジスタのコレクタに到達し、コレクタの電位を上昇させる。このラテラルPNPトランジスタのコレクタは、縦型NPNトランジスタのベースになっているから縦型NPNトランジスタのコレクタを他の I^2L 素子のベースに接続するとコレクタ電流が流れる。

面積すなわち、インジェクタに対向する縦型NPNトランジスタのベースの断面積をできるだけ大きくすることが望ましい。

そのために、ラテラルPNPトランジスタのエミッタ6-1の拡散深さよりもコレクタ6-3の拡散深さを深くして、コレクタ面積を大きくすることによって、低消費電力化をもたらし、従来構造の I^2L の特性をさらに向上させることができる。

発明の効果

以上述べたように、本発明による I^2L の構造にすることによって、ラテラルPNPトランジスタの電流増幅率を著しく向上させることが可能で、このため従来構造の I^2L よりも消費電力を大幅に低下させることができ、工業上大きな利益をもたらすものである。

4、図面の簡単な説明

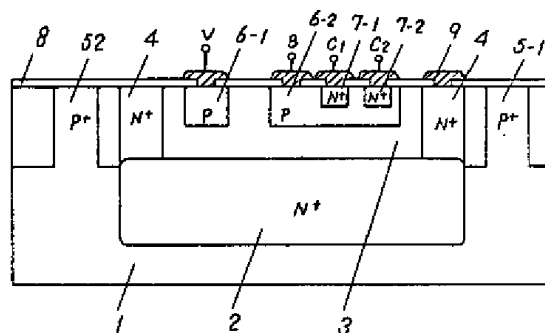
第1図は I^2L の従来構造断面図、第2図は本発明による I^2L の実施例断面図である。

1……P形基板、2…… N^+ 型埋込層、3……N型エピタキシャル層、4…… N^+ 型拡散層、6-1、

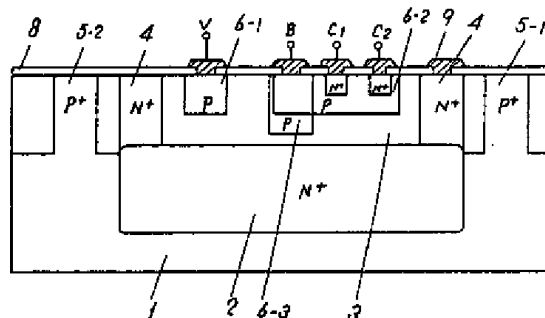
5-2 …… P型分離拡散層、6-1 …… P型ラテラルPNPトランジスタのエミッタ、6-2 …… 縦型NPNトランジスタのP型ベース層、6-3 …… ラテラルPNPトランジスタのP型コレクタ、7-1, 7-2 …… N⁺型コレクタ、8 …… 二酸化シリコン、C₁, C₂ …… I²Lの出力、B …… I²Lの入力、V …… ラテラルPNPトランジスタのエミッタに加える電源、9 …… Al 電極。

代理人の氏名 弁護士 中 尾 敏 男 ほか1名

第 1 図



第 2 図



PAT-NO: JP361048970A
DOCUMENT-IDENTIFIER: JP 61048970 A
TITLE: SEMICONDUCTOR
INTEGRATED CIRCUIT
DEVICE
PUBN-DATE: March 10, 1986

INVENTOR-INFORMATION:

NAME	COUNTRY
UCHIDA, HIROBUMI	
MANABE, KENJI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRONICS CORP	N/A

APPL-NO: JP59170697

APPL-DATE: August 16, 1984

INT-CL (IPC): H01L027/08

US-CL-CURRENT: 257/556 , 257/557 ,
257/560

ABSTRACT:

PURPOSE: To reduce power consumption by a method wherein the collector layer of a lateral PNP transistor serving as an injector is formed to be thicker than the emitter layer.

CONSTITUTION: The collector region 6-3, facing an injector 6-1, of a lateral PNP transistor is formed by diffusion deeper than the injector 6-1. This greatly increases the current amplification factor of the lateral PNP transistor. The device of this design consumes far less electric power than an IIL of the conventional structure does.

COPYRIGHT: (C)1986,JPO&Japio